

Our Ref.# : 01USFP727

An IDS to be filed in the USPTO.

<< JP-Heisei 2-168231 >>

The following is a translation of a part of the "JP-Heisei 2-168231", which describes characteristics of a method of gradation representation according to the "JP-Heisei 2-168231".

Fig. 2(a)~(p) are schematic pictures showing 16-gradation representation according to different digital signals with 4-bits (0000-1111 in binary code) when driving the LCD optical shutter in the manner mentioned above. Concentration of oblique lines in the figure indicates the total amount of light transmitting each of divided pixels during the scanning period T. The heavier concentration indicates a state when the shutter is closed more. That is to say, the state in Fig. 2(a) corresponding to a digital signal 0000 in binary code indicates the brightest state when the light is transmitted most, and the state in Fig. 2(p) corresponding to a digital signal 1111 in binary code indicates the darkest state when the light is blocked most. The states in Fig. 2(b)~(o) corresponding to digital signals from 0001 to 1110, respectively, indicate intermediate states other than the above-mentioned two states. The total amount of light transmitting the pixels is different depending on the intermediate states.

The reason will be described below. Each of the divided pixels can be set to four different states with different total amount of light according to 2-bits of the digital signal which is sent during the scanning period T. More specifically, when the total amount of light for one whole pixel under the

brightest state shown in Fig. 2(a) is assumed to be 1, an electrode pixel whose area is $1/3$ of the area of one whole pixel can be set to four states whose total amount of light are $0/15$, $1/15$, $4/15$ and $5/15$, and an electrode pixel whose area is $2/3$ of the area of one whole pixel can be set to four states whose total amount of light are $0/15$, $2/15$, $8/15$ and $10/15$. The above-mentioned total amount of light can be given by the product of an area of an electrode pixel and the period during which the electrode pixel is set to the ON state. Therefore, in the present embodiment where a pixel is divided into two pixels, 16 states, namely 16-gradation representation ($0/15 \sim 15/15$) can be attained by selecting one state from above-mentioned four states for each of the two pixels and summing respective states.

⑫ 公開特許公報(A)

平2-168231

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月28日

G 02 F 1/133

5 7 5

8708-2H

B 41 J 2/445

G 03 G 15/04

1 1 6

8607-2H

G 09 G 3/36

8621-5C

7612-2C

B 41 J 3/21

V

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 液晶光シャッタ及びその駆動方法

⑯ 特 願 昭63-325193

⑰ 出 願 昭63(1988)12月22日

⑱ 発 明 者 浅 田 秀 樹 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発 明 者 奥 村 藤 男 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

液晶光シャッタ及びその駆動方法

特 許 請 求 の 範 疇

- (1) 対向電極が形成された第1の透明基板と、複数の画素電極が形成された第2の透明基板との間に液晶を挟持した液晶光シャッタにおいて、前記画素電極の各々が、1画素を形成する電極面積の $2^{n-1}/(2^n-1)$ 、 $2^{n-2}/(2^n-1)$ 、 $\dots 1/(2^n-1)$ (n は整数)の面積を有する n 個の電極群からなり、さらに、アナログ画素信号を $2 \times n$ ビットのデジタル信号に変換するA/Dコンバータと、前記デジタル信号を1ライン分だけ記憶する記憶回路と、前記デジタル信号の上位 n ビット、もしくは下位 n ビットをそれぞれ1ライン分記憶、転送して、前記 n 個の画素電極群をそれぞれ独立に駆動する駆動回路と、前記記憶回路の上位 n ビット出力

と下位 n ビット出力をそれぞれ1ラインずつ交互に前記駆動回路に転送するための制御スイッチとを備え、前記駆動回路と前記制御スイッチが前記第2の透明基板上に形成された薄膜トランジスタで構成されたことを特徴とする液晶光シャッタ。

- (2) アナログ画素信号を $2 \times n$ ビット(n は整数)のデジタル信号に変換し、このデジタル信号を1ライン分だけ記憶し、かかる1ラインの走査時間を T とした場合、 $T \times 2^n / (2^n + 1)$ の期間においては予め記憶しておいた前記デジタル信号の上位 n ビットの信号を、 $T \times 1 / (2^n + 1)$ の期間においては予め記憶しておいた前記デジタル信号の下位 n ビットの信号を、請求項1に記載の液晶光シャッタの1画素を形成する n 個の画素電極群にそれぞれ独立に入力することを特徴とする液晶光シャッタの駆動方法。

発明の詳細な説明

(産業上の利用分野)

本発明は主にプリンタなどの感光ドラムに光信号を蓄え込む液晶光シャッタとその駆動方法に関する。

(従来の技術)

液晶プリンタに用いられている従来の液晶光シャッタとその駆動方法を第4図に示す。図において、401は画面毎に信号電圧を印加するための、透明基板(図は省略)上に形成された画素電極、402は液晶を挟んで画素電極の対向にある、透明基板(図は省略)上に形成された対向電極である。液晶光シャッタは、上記電極401、402がそれぞれ形成された透明基板間に液晶を挟持した構成となっており、1画面に1個の画素電極が対応している。403は対向電極402に電圧を加えるための基準電極、404は画面電極に信号電圧を入力するための駆動用ICで、この駆動用ICは、画面電極用インバータ405と、走査回路406とから構成されている。407は、画素電極用インバータ405に電圧を供給するための

与える。基準電源403の電圧値を上記インバータ出力の振れ幅の半分に設定することにより、各画面の液晶に、画面信号のバイナリーコードで0、1に対応する、大きさが同じで極性の反転した電圧を印加し、前記強誘電性液晶を駆動する。

(発明が解決しようとする課題)

以上述べた従来の液晶光シャッタにおいては、各画面電極が駆動用ICと個々に接続されている為に、画面数を増加した分、駆動用ICの数と接続端子数が増加する。これはプリンタ装置の小型化、低コスト化に対し非常に大きな妨げとなるだけでなく、ボンディング密度の限界で、液晶光シャッタの解像度及びサイズも制限されてしまうという欠点を持っている。

また、かかる液晶光シャッタにおいては、液晶材料として、主に強誘電性液晶を用いているが、その調製制御が困難な為、上記強誘電性液晶は一般に2値しか取り得ない。その為、上記液晶光シャッタの駆動方法として、2値のデジタル画面信号を入力する駆動方法をとっており、中間調表

面素電極、408は画面信号を入力する信号入力端子、409は走査回路406にクロックを入力するためのクロック入力端子である。上記要素から構成される液晶光シャッタにおいては、ラインスピードを速くするために液晶材料として、電圧に対し100μsのオーダーで応答する強誘電性カイラルスメクティックC液晶が主に用いられる。この液晶の応答時間は液晶ディスプレイの主成分となっているネマティック液晶に比べて、数桁速い。

上記液晶光シャッタの駆動方法を以下に説明する。第4図では、6画面の液晶光シャッタを示したもので、この例では1つの駆動用ICが3画面を受け持っているが、通常は64から128画面程度を受け持つ。これら駆動用IC404にはクロック、及びデジタル画面信号が、それぞれクロック入力端子409、及び信号入力端子408から入力される。上記クロックにより動作する走査回路によって、上記画面信号を順次転送し、画面電極用インバータ405に各画面の画面信号を

示ができないという欠点を持っている。現在のプリンタは2値表示が中心であるが、近年、中間調表示やカラー表示の要求も高まってきており、上記欠点は液晶プリンタが普及する上で大きな障害となっている。

本発明は従来技術の上記問題点を解決した液晶光シャッタ及びその駆動方法を提供することを目的とする。

(課題を解決するための手段)

本発明は、対向電極が形成された第1の透明基板と、複数の画面電極が形成された第2の透明基板との間に液晶を挟持した液晶光シャッタにおいて、前記画面電極の各々が、1画面を形成する電極面積の $2^{n-1}/(2^n-1)$ 、 $2^{n-2}/(2^n-1)$ 、 \dots 、 $1/(2^n-1)$ (n は整数)の面積を有する n 個の電極群からなり、さらに、アナログ画面信号を $2 \times n$ ビットのデジタル信号に変換するA/Dコンバータと、前記デジタル信号を前記液晶シャッタの1ライン分だけ記憶する記憶回路と、前記デジタル信号の上位 n ビット、もしくは下

位 n ビットをそれぞれ 1 ライン分記憶、転送して、前記 n 個の画素電極群をそれぞれ独立に駆動する駆動回路と、前記記憶回路の上位 n ビット出力と下位 n ビット出力をそれぞれ 1 ラインずつ交互に前記駆動回路に転送するための制御スイッチとを備え、前記駆動回路と前記制御スイッチが前記第 2 の透明基板上に形成した薄膜トランジスタで構成されたことを特徴とする液晶光シャッタである。

また、この液晶光シャッタを駆動する本発明の方法は、アナログ画素信号を $2 \times n$ ビットのデジタル信号に変換し、このデジタル信号を上記液晶光シャッタの 1 ライン分だけ記憶し、かかる 1 ラインの走査時間を T とした場合、 $T \times 2^n / (2^n + 1)$ の期間においては予め記憶しておいた前記デジタル信号の上位 n ビットの信号を、 $T \times 1 / (2^n + 1)$ の期間においては予め記憶しておいた前記デジタル信号の下位 n ビットの信号を、前記液晶光シャッタの 1 画素を形成する n 個の画素電極群にそれぞれ独立に入力することを特徴とする構成になっている。

同調表示を与えることが可能となる。本発明の液晶光シャッタは、各画素電極が、1 画素を形成する電極面積の $2^{n-1} / (2^n - 1)$ 、 $2^{n-2} / (2^n - 1)$ 、 \dots 、 $1 / (2^n - 1)$ (n は整数) の面積を有する n 個の電極群からなり、1 ラインの走査時間 T を $T \times 2^n / (2^n + 1)$ と $T \times 1 / (2^n + 1)$ の 2 つの期間に分割し、前記 n 個の電極群をそれぞれ独立に走査することにより、 $\{(2^n - 1) \times (2^n + 1) + 1\}$ 階調、すなわち 4^n 階調の表示を実現することができる。

上記のように 1 画素を n 個の電極群に分割すると、外部駆動 IC と個々の電極を結ぶ為の接続端子の数が画素を分割しない場合に比べ、 n 倍に増大するという問題が生じるが、本発明の液晶光シャッタにおいては以下に示す理由により、その問題が回避される。

液晶光シャッタを駆動する為の駆動 IC を画素電極が形成された透明基板と同一の基板上に薄膜トランジスタで形成した場合、各画素電極と駆動 IC を結ぶ接続線を前記基板上に前記薄膜トラン

(作用)

液晶光シャッタの 1 画素を形成している画素電極全体の面積を S 、それを走査する時間を T とし、また、画素電極の面積 S を T 期間だけ ON 状態 (シャッタを閉じた状態) にした時、 T 期間にかかる 1 画素を透過する総光量 ST を 1 とすると、画素電極の S / α ($1 \leq \alpha \leq \infty$) の面積を T / β ($1 \leq \beta \leq \infty$) 期間だけ ON 状態にしたとき、 T 期間にかかる画素を透過する総光量は

$$1 - (1 / \alpha \cdot \beta) \quad (1)$$

となる。この際 ON 状態をシャッタが閉じられた状態としたしたが、ON 状態をシャッタが開かれた状態とすることもでき、その場合、(1) 式に対応する総光量は

$$1 / \alpha \cdot \beta \quad (2)$$

となる。(1) 式、(2) 式の意味するところは、 T 期間に、ある一画素を透過する総光量は、走査面積とそれを ON 状態に保持する時間との積で決定されることである。この原理を利用することにより、二値表示しか取り得なかった液晶光シャッタに中

ジスタ形成時において同時配線することができる。それ故、通常の駆動 IC を外部に用いた場合に画素数の増加とともに増大する各画素電極と駆動 IC を結ぶ為の接続端子がなくなり、ボンディング工程が不要となる。その結果、ボンディング密度の限界からくる液晶光シャッタの解像度及びサイズの制限がなくなるとともに、外部駆動 IC 及び接続端子の数が大幅に削減されることから、プリント集積の小型化、低コスト化を図ることができる。

以下本発明の実施例を図に基いて詳細に説明する。

(実施例 1)

第 1 図は本発明の液晶光シャッタとその駆動方法の一実施例を示す図であり、図において、101 は信号入力端子、102 は A/D コンバータ、103 は記憶回路、104 は制御スイッチ、107 はシフトレジスタ回路、109 は転送スイッチ、111 はラッチ回路、113 は画素スイッチ、105 と 106、及び 108、110、112、

114はそれぞれ制御スイッチ104、シフトレジスタ回路107、転送スイッチ109、ラッチ回路111、画素スイッチ113の各クロック入力端子である。115は画素電極用インバータ、116は画素電極、117は第2の透明基板に形成した画素電極、118は第1の透明基板に形成された対向電極、119は基準電源、120はシフトレジスタ回路107と、転送スイッチ109と、ラッチ回路111と、画素スイッチ113と、画素電極用インバータ115から構成される駆動用ICである。第1、第2の透明基板は対向して配置され、この間に液晶を挟持している。

この実施例では、12画素/mmの解像度(画素ピッチ84 μ m)で、1画素の画素電極をその面積の2/3及び1/3の面積を有する2個の電極で構成し、また駆動用IC120及び制御スイッチ104はポリシリコン薄膜トランジスタを画素電極と同一基板上に形成した。この構造、製造方法は従来通りである。この他の回路、スイッチ等も従来用いられているものを用いた。さらに記

回路103に記憶される。記憶された4ビットのデジタル画素信号の上位2ビットが制御スイッチ104によりシフトレジスタ回路107に転送され、転送が終了する迄1ライン分のそれぞれ上位2ビットの信号が、転送スイッチ109によって同一タイミングでラッチ回路111へ転送される。このようにしてラッチ回路111に保持された1ライン分の上位2ビットの信号は、同一タイミングで画素電極用インバータに入力され、各画素電極は各々の画素信号によって独立に駆動される。一方、予め記憶回路103に記憶されていた下位2ビットの信号は、上位2ビットの信号がラッチ回路111へ転送された直後にシフトレジスタ回路107に転送され始め、それ以後は上位2ビットの信号と同様の経路で画素電極に伝達される。また画素スイッチ113のクロック入力端子114には、走査時間をTとすると、 $T \times 4/5$ の期間においては上位2ビット信号が、 $T \times 1/5$ の期間においては下位2ビットの信号が画素電極に入力されるようなタイミングのクロックを入

力する。本実施例では1ラインの走査時間Tを2 msecとしたので、上記タイミングで画素信号を各画素電極に入力するためには1ライン分の上位2ビット、もしくは下位2ビットの信号を少なくとも1 msec以下でシフトレジスタ回路107へ転送しなければならない。これを達成するには駆動用IC120が高移動度のポリシリコン薄膜トランジスタで形成されていることが必須であるが、製作したポリシリコン薄膜トランジスタは

20 cm²/V \cdot sec以上の高移動度を有し、12 MHzで駆動できるシフトレジスタ回路107を実現した。本実施例のように1画素が2個に分割された液晶シャッタにおいて、解像度12画素/mm、ラインスピード2 msecという条件で、上記駆動周波数12 MHzはA4判サイズにも十分対応できるスピードである。

以下に本実施例の液晶光シャッタの駆動方法について詳細に説明する。

信号入力端子101に入力したアナログ画素信号はA/Dコンバータ102によって4ビットのデジタル信号に変換され、1ライン分だけ記憶

回路103に記憶される。記憶された4ビットのデジタル画素信号の上位2ビットが制御スイッチ104によりシフトレジスタ回路107に転送され、転送が終了する迄1ライン分のそれぞれ上位2ビットの信号が、転送スイッチ109によって同一タイミングでラッチ回路111へ転送される。このようにしてラッチ回路111に保持された1ライン分の上位2ビットの信号は、同一タイミングで画素電極用インバータに入力され、各画素電極は各々の画素信号によって独立に駆動される。一方、予め記憶回路103に記憶されていた下位2ビットの信号は、上位2ビットの信号がラッチ回路111へ転送された直後にシフトレジスタ回路107に転送され始め、それ以後は上位2ビットの信号と同様の経路で画素電極に伝達される。また画素スイッチ113のクロック入力端子114には、走査時間をTとすると、 $T \times 4/5$ の期間においては上位2ビット信号が、 $T \times 1/5$ の期間においては下位2ビットの信号が画素電極に入力されるようなタイミングのクロックを入

力する。本実施例では1ラインの走査時間Tを2 msecとしたので、上記タイミングで画素信号を各画素電極に入力するためには1ライン分の上位2ビット、もしくは下位2ビットの信号を少なくとも1 msec以下でシフトレジスタ回路107へ転送しなければならない。これを達成するには駆動用IC120が高移動度のポリシリコン薄膜トランジスタで形成されていることが必須であるが、製作したポリシリコン薄膜トランジスタは20 cm²/V \cdot sec以上の高移動度を有し、12 MHzで駆動できるシフトレジスタ回路107を実現した。本実施例のように1画素が2個に分割された液晶シャッタにおいて、解像度12画素/mm、ラインスピード2 msecという条件で、上記駆動周波数12 MHzはA4判サイズにも十分対応できるスピードである。

第2図(a)~(d)は上記のように液晶光シャッタを駆動した場合、異なる4ビットのデジタル信号(バイナリーコードで0000~1111)によって、第2図(a)~第2図(d)まで16階調の中間表

示が得られることを示したモデル図である。図において、斜線密度は、走査時間Tの期間に、分割された個々の画素を透過する総光量を表しており、斜線密度が高い程、よりシャッタの閉じられた暗い状態を示す。すなわち、バイナリーコードで0000のデジタル信号が送られた時に相当する第2図(a)の状態が最も光を透過した明るい状態、1111のデジタル信号が送られた時に相当する第2図(d)の状態が最も光を遮断した暗い状態を示す。また、0001から1110のデジタル信号が送られた時に相当する第2図(b)~(c)においては、上記2つのどちらの状態でもなく、その中間の状態を示し、どの状態も画素を透過する総光量が異なる。

その理由を以下に説明する。分割された個々の画素は、走査時間Tの期間に送られてくる2ビット分に相当するデジタル信号により、総光量の異なる4つの状態を取ることができる。すなわち、第2図(a)の最も明るい状態の1画素全体の総光量を1とすると、1画素全体の面積の1/3の面積

304は制御スイッチ、305及び306はそのクロック入力端子、307は駆動用IC、308は画素電極、309は対向電極、310は基準電極である。駆動用IC307は、A/Dコンバータで変換された6ビットのデジタル信号を3個に分割された画素電極へ転送するための、シフトレジスタ回路、転送スイッチ、ラッチ回路、画素スイッチ、画素電極用インバータから構成されており、実施例1と同様である。駆動用ICのクロック入力端子は省略している。また、本実施例では、12画素/mmの解像度(画素ピッチ84 μ m)で、画素電極をその画素全体面積の4/7、2/7、1/7の面積を有する3個の電極で構成し、また、実施例1と同様に駆動用IC307及び制御スイッチ304は画素電極と同一基板上にポリシリコン薄膜トランジスタで形成した。さらに記憶回路303も同様にポリシリコン薄膜トランジスタで形成してもよい。

本実施例において、1ラインの走査時間をTとすると、 $T \times 4/5$ の期間においてはA/Dコン

を有する画素面積は総光量にして0/15、1/15、4/15、5/15の4つの状態、2/3の面積を有する画素面積は0/15、2/15、8/15、10/15の4つの状態を取ることができる。上記総光量は画素電極の面積とそれをON状態に保持する時間との積によって与えられるものである。従って、画素が2個に分割された本実施例においては、個々の画素が有する上記4つの状態からそれぞれ状態を1つずつ選択してその和をとることにより、1画素全体では16の状態、すなわち16階調(0/15~15/15)の表示が実現される。

(実施例2)

第3図は本発明の液晶光シャッタとその駆動方法の一実施例を示す図である。本実施例はアナログ画素信号が6ビットのデジタル信号に変換され、1画素が3個に分割された点において実施例1と異なり、駆動方法、基本構成は実施例1と同様である。図において301は信号入力端子、302はA/Dコンバータ、303は記憶回路、

パータで変換された6ビットのデジタル信号の上位3ビットの信号を、 $T \times 1/5$ の期間においては下位3ビットの信号を分割された各々の画素電極に入力することにより、バイナリーコードで000000~111111に対応する64階調表示の液晶光シャッタを実現している。駆動用IC307に含まれるシフトレジスタ回路の駆動周波数は12MHzであり、解像度12画素/mm、ラインスピード2msccという条件で、A3判サイズまで対応できる性能を有している。また、12画素/mmのレベルでA判サイズはこの実施例の場合、実施例1の場合に比べて2500個多い7500個の画素電極が必要であるにもかかわらず、外部接続端子の数は実施例1と変わらない約20個の接続端子を必要とするだけである。

(発明の効果)

以上説明したように本発明を適用すれば、液晶が2値しか取ることができなくても容易に階調性を持つ液晶光シャッタを実現することができるのと同時に、外部接続端子数を大幅に低減することが

できる。

本発明の実施例においては、12画素/mmの解像度、A3判サイズで64階調の表示が可能となり、その場合、外部接続端子の数は従来では10000個以上必要で構成不可能であったところ、約20個の接続端子で構成することができた。これにより、液晶プリンタのフルカラー化、小型化、低コスト化が同時に可能となり上記効果は液晶プリンタが普及する上で極めて大きいものである。

図面の簡単な説明

第1図は本発明の実施例1の概略図、第2図は本発明の動作原理を示す図、第3図は本発明の実施例2の概略図、第4図は従来型の液晶光シャッタの概略図である。

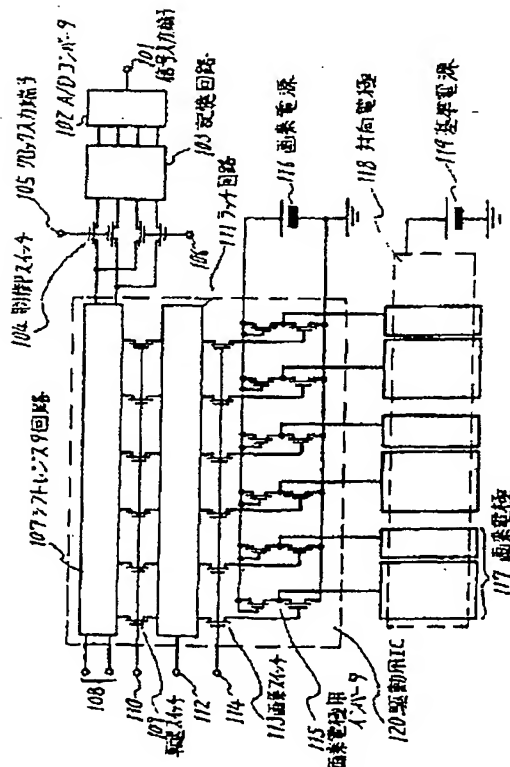
第1図において、101……信号入力端子、102……A/Dコンバータ、103……記憶回路、104……制御スイッチ、107……シフトレジスタ回路、109……転送スイッチ、111

……ラッチ回路、113……画素スイッチ、105、106、108、110、112、114……クロック入力端子、120……駆動用IC、116……画素電極、117……画素線電極、118……対向電極、119……基準電源である。

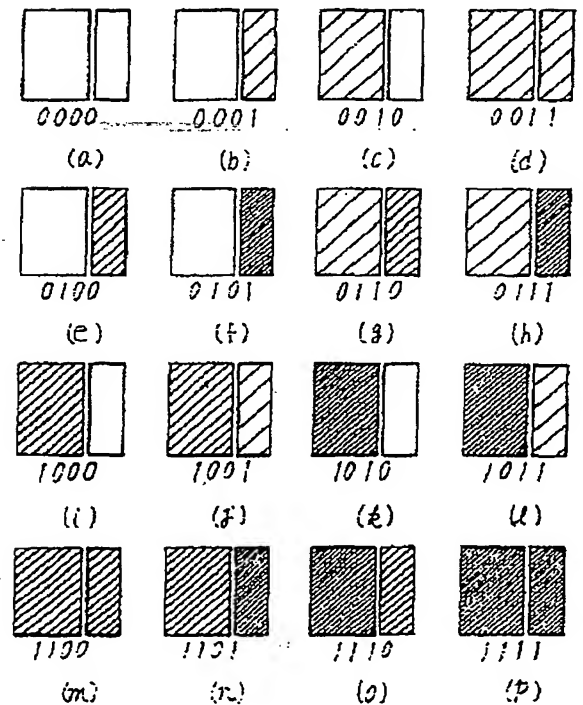
第3図において、301……信号入力端子、302……A/Dコンバータ、303……記憶回路、304……制御スイッチ、305、306……クロック入力端子、307……駆動用IC、308……画素電極、310……基準電源である。

第4図において、401……画素電極、402……対向電極、403……基準電源、404……駆動用IC、405……画素電極用インバータ、406……走査回路、407……画素電源、408……信号入力端子、409……クロック入力端子である。

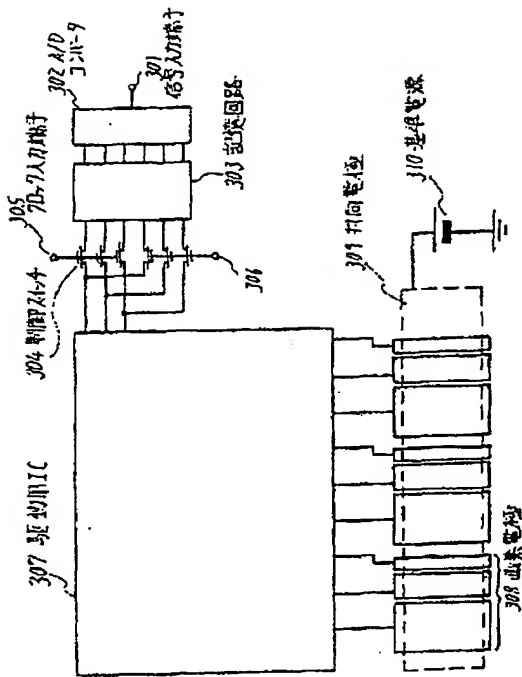
代理人 弁理士 内 原 晋



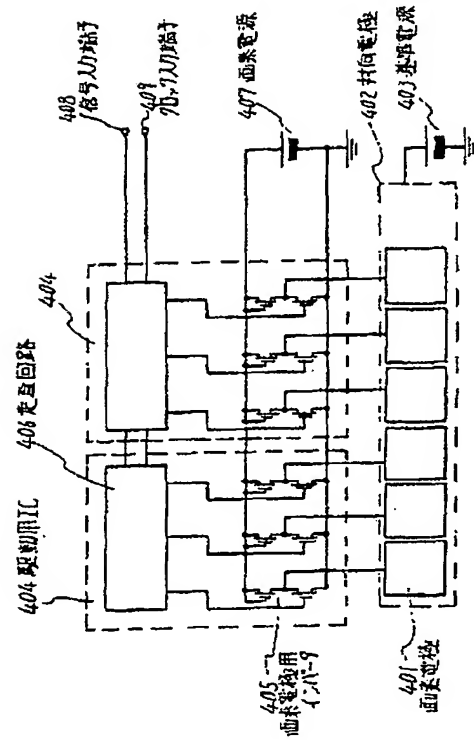
第 1 図



第 2 図



第 3 図



第 4 図